

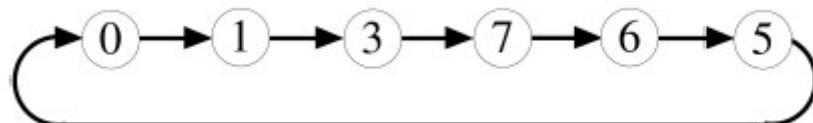
- **Das zugrundeliegende Schaltnetz: Selbsttestaufgabe 3.6**

Entwerfen Sie einen 3-Bit-Synchronzähler mit folgender Zählfolge: 0-1-3-7-6-5-0-...  
Erstellen Sie hierzu:

- den Zustandsgraph
- die Zustandstabelle
- die minimierten Funktionsgleichungen und
- das Schaltbild des Schaltwerks.

Musterlösung:

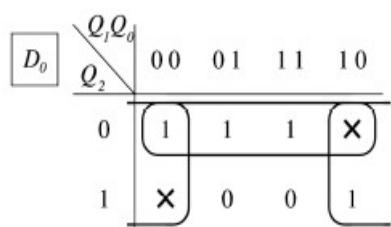
Den Zustandsgraphen für den Zähler zeigt folgende Abbildung:



Da keine Vorgaben gemacht wurden, welche Flipflop-Typen zu verwenden sind, wählen wir D-Flipflops, weil sich damit wesentlich leichter synchrone Zähler aufbauen lassen als mit JK-Flipflops. Auch die Automatentabelle wird sehr einfach. Die Spalten der Ausgänge des Zeitpunktes  $t_{n+1}$  sind mit den Spalten der D-Eingänge identisch:

$t_n$						$t_{n+1}$		
$Q_2$	$Q_1$	$Q_0$	$D_2$	$D_1$	$D_0$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	1
0	1	1	1	1	1	1	1	1
1	1	1	1	1	0	1	1	0
1	1	0	1	0	1	1	0	1
1	0	1	0	0	0	0	0	0

Wir minimieren nun die Funktionsgleichungen für die D-Eingänge. Da die Zustände mit dem Wert 2 und 4 nicht auftreten, werden sie als don't care (x) gekennzeichnet.



Wir erhalten  $D_0 = \overline{Q_2} \vee \overline{Q_0}$ .

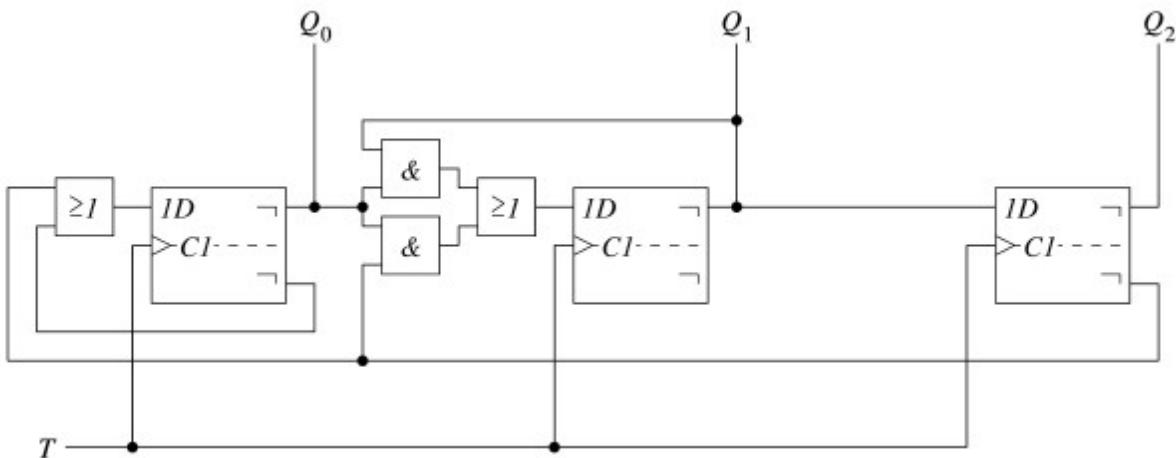
$D_1$	$\overline{Q_1}Q_0$	0 0	0 1	1 1	1 0
$\overline{Q}_2$		0	0	1	x
0		0	1	1	x
1	x	0	1	1	0

In diesem Fall nützen die don't care-Terme nichts, da sie weder zur Vergrößerung noch zum Einbinden einer alleinstehenden 1 dienen können. Die minimale DF lautet:  $D_1 = Q_0\overline{Q}_1 \vee \overline{Q}_0\overline{Q}_2$ .

$D_2$	$\overline{Q_1}Q_0$	0 0	0 1	1 1	1 0
$\overline{Q}_2$		0	0	0	x
0		0	0	1	x
1	x	0	1	1	1

Die minimale Gleichung für  $D_2$  lautet:  $D_2 = Q_1$

Damit können wir die Schaltung angeben:



- **Die Hades Simulation:**

Der als letzte Seite angehängte Screenshot zeigt die Hades Umsetzung des oben abgebildeten Schaltwerks. Ganz oben sieht man das Display, das die Zählfolge abbildet. Da für die Darstellung der Zahlen 0-7 nur 3 Bits erforderlich sind, ist das oberste Bit fest mit 0 verdrahtet.

Ganz unten ist der POR platziert, der so eingestellt ist, dass er bei Aufruf der Simulation die über eine gemeinsame Leitung verbundenen DFFRs zurücksetzt. Der Clockgenerator generiert eine On/Off-Endlosschleife, sodass die Zählfolge und das Schaltverhalten vom Nutzer beobachtet werden kann, ohne dass händische Taktsimulation notwendig ist.

- **Die Simulation besteht aus folgenden Komponenten:**

- 1 Clockgenerator
- 3 DFFR
- 2 OR2
- 1 POR
- 1 constant0
- 1 HexDisplay
- 2 AND2

Reset (setzt die DFFs zurück =>  $Q_0=Q_1=Q_2=0$ )

