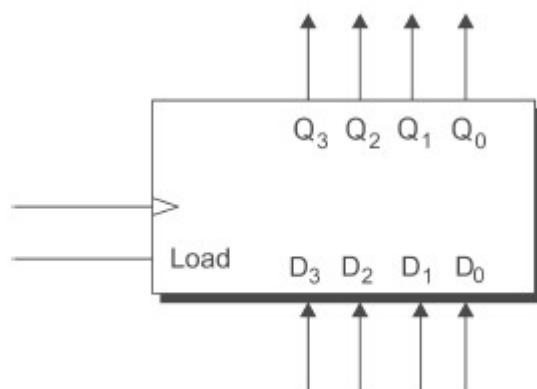


- **Das zugrundeliegende Schaltnetz: Ladbares 4-Bit Register**

Als Beispiel für die Verwendung von D-Flipflops wird das ladbare 4-Bit-Register im Kurstext 1608 wie folgt eingeführt:

Verbindet man mehrere D-Flipflops mit einem gemeinsamen Takteingang, so erhält man ein sogenanntes Register. Folgende Abbildung zeigt ein 4-Bit-Register. Neben dem Takteingang gibt es einen Load-Eingang, dessen Wert bei der steigenden Taktflanke angibt, ob tatsächlich gespeichert werden soll (bei Wert 1) oder nicht (bei Wert 0). So kann in Schaltwerken bei Registern in manchen Takten die Taktung ausgeblendet werden, so dass der gegenwärtige Inhalt noch einen weiteren Takt bestehen bleibt.



Quelle: Computersysteme I (2017), Kapitel 3.2 Speicherglieder

- **Die Hades Simulation:**

Der als letzte Seite angehängte Screenshot zeigt links die 4 Eingangssignale für D_0, \dots, D_3 , darunter den taktgebenden Clockgenerator und darunter das Eingangssignal für das LOAD-Signal, das mit dem Takt AND-verknüpft wird, um wie oben beschrieben den Takt ein- bzw. ausblenden zu können. Rechts neben den D-Flipflops sind die Ausgangssignale für Q_0, \dots, Q_3 angeordnet.

Die initiale Vorbelegung ist $D_0, \dots, D_3 = 0$ (grau) und $LOAD = 1$ (rot), der Takt beginnt mit Simulationsstart. Durch Klick auf die Schalter für D_0, \dots, D_3 kann nun verfolgt werden, wie jeweils taktweise Werte übernommen werden. Setzt man LOAD durch Klick auf den entsprechenden Schalter auf 0 (grau), passiert wie zu erwarten nichts, wenn man die Schalter der Dateneingänge betätigt – der Takt wird so ausgeblendet.

- **Die Simulation besteht aus folgenden Komponenten:**

- | | | |
|--------------------|----------|--------------------|
| ○ 5 Ipins (switch) | ○ 4 DFF | ○ 1 Clockgenerator |
| ○ 4 Opins (LED) | ○ 1 AND2 | |

