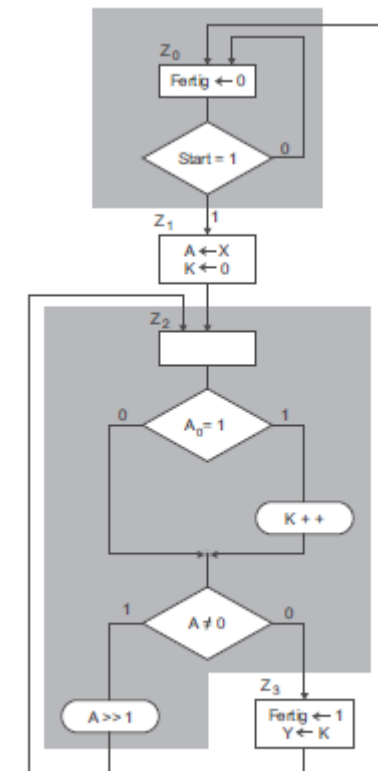


- **Das zugrundeliegende Schaltnetz: Einsenzähler, Lösung mit komplexem Mealy-Schaltwerk**

In folgender Abbildung ist das ASM-Diagramm für die übergangsorientierte Lösung dargestellt. Solange das Start-Signal den Wert 0 führt, bleibt das Schaltwerk im Zustand z_0 . Fertig = 0 zeigt an, dass an Y noch kein gültiges Ergebnis anliegt.

Im Gegensatz zur Moore-Variante werden hier statt sechs nur vier Zustände benötigt. Zwei Zustände können durch die Verwendung bedingter Ausgangsboxen eingespart werden. Dies bedeutet, dass zur Zustandskodierung nur zwei statt drei Flipflops benötigt werden. Falls alle Bits des Eingangsvektors X mit dem Wert 1 belegt sind, erfolgt die Auswertung eines Bits bei der Mealy-Variante in einem statt in drei Taktschritten. Sie benötigt in diesem Fall auch nur ein Drittel der Zeit. Man beachte, dass die Bedingungen $A_0=0$ und $A \neq 0$ gleichzeitig ausgewertet werden, da sie dem gleichen ASM-Block zugeordnet sind..

Quelle: Computersysteme I (2017), Kapitel 4.7 Beispiel: Einsenzähler



- **Die ASM Simulation:**

Der als letzte Seite angehängte Screenshot zeigt die Simulation der übergangsorientierten Lösung. Beispielhaft wurde hier X mit 5 vorbelegt. Da bei Simulationsstart $Start = 1$ gilt, lässt sich durch Klicken auf *step fwd* verfolgen, wie das Operationswerk arbeitet und am Ende, wie zu erwarten, in Y der Wert 2 steht, weil die Binärdarstellung von 5 (101) 2 Einsen enthält. Im Feld *Register Configuration* lassen sich Werte für X eintragen, die zwischen 0 und 255 liegen, da die Standardeinstellung für die Registerbreite 8 Bit ist. Möchte man ein Operationswerk erstellen, das eine höhere Registerbreite benötigt, kann man das über den Menüpunkt *Edit* → *Register Size* ändern.

- **Die Simulation besteht aus folgenden Komponenten:**

- 4 Zustandsboxen
- 3 Entscheidungsboxen
- 2 bedingte Ausgangsboxen

Beschreibung der Simulation 04 aus der Reihe:
Simulationen mit dem ASM Simulator
auf Grundlage des Kurstextes Computersysteme I

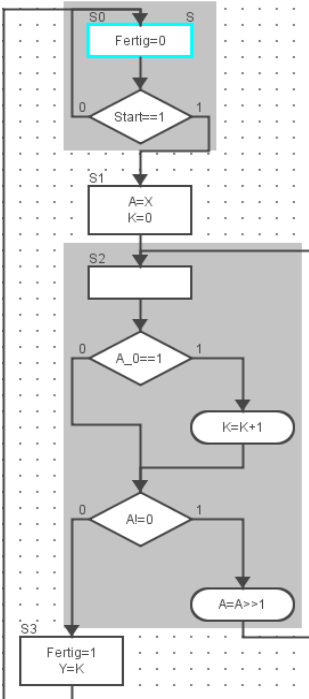
Algorithmic State Machine Chart Simulator

File Edit Extras Help

Algorithmic State Machine Diagram Workspace

z1 001

Check Undo Redo Edit Mode Simul. Mode



ASM Simulation

goto start step back step fwd

register	cycle #: state id	
	0 / S0	
A	0	
Fertig	0	
K	0	
Start	1	
X	5	
Y	0	

Register Configuration (Register Size: 8 bit)

A: 0 Save Fertig: 0 Save K: 0 Save Start: 1 Save X: 5 Save Y: 0 Save